

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-307777

(43) 公開日 平成11年(1999)11月5日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 29/786
21/336
29/78

H 0 1 L 29/78

6 1 6 A
3 0 1 G
6 1 7 L
6 2 7 B

審査請求 有 請求項の数10 OL (全 10 頁)

(21) 出願番号

特願平10-111175

(22) 出願日

平成10年(1998)4月21日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 奥村 展

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 藤巻 正憲

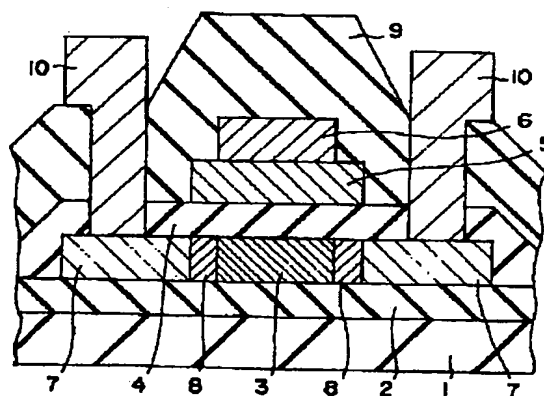
(54) 【発明の名称】 トップゲート型薄膜トランジスタ及びその製造方法

(57) 【要約】

(修正有)

【課題】 ゲート電極の信頼性の向上、低抵抗化、更にリーク電流を低減でき、薄膜トランジスタ製造工程の高スループット化及び低コスト化を可能とするトップゲート型薄膜トランジスタ及びその製造方法を提供する。

【解決手段】 絶縁基板1上に下地絶縁膜2を堆積する。次に、シリコン薄膜を堆積し、レーザアニール法によりポリシリコン薄膜3を形成する。ポリシリコン薄膜3をアイランド化して、ゲート絶縁膜4を堆積する。次に、下層ゲート電極としてマイクロクリスタルシリコン薄膜5を堆積した後、上層ゲート電極として金属薄膜6を続けて堆積する。これらをパターンニングして2層ゲート電極を形成するとき、上層金属薄膜6のみサイドエッチング部を形成する。その後、イオンドーピング法等によりゲート絶縁膜4を介して、ポリシリコン薄膜3に選択的に不純物を導入すると、ソース・ドレイン領域7とLDD領域8が同時に形成される。



- 3: ポリシリコン薄膜
- 4: ゲート絶縁膜
- 5: マイクロクリスタルシリコン薄膜
- 6: 金属薄膜
- 7: ソース・ドレイン領域
- 8: LDD領域

【特許請求の範囲】

【請求項1】 絶縁性基板と、この絶縁性基板上に形成されチャネル領域及びソース・ドレイン領域を構成するポリシリコン薄膜と、このポリシリコン薄膜上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成され上層金属薄膜及び下層マイクロクリスタルシリコン薄膜の2層構造からなるゲート電極と、を有することを特徴とするトップゲート型薄膜トランジスタ。

【請求項2】 前記ソースドレイン領域は低濃度領域と高濃度領域とからなるLDD構造を有することを特徴とする請求項1に記載のトップゲート型薄膜トランジスタ。

【請求項3】 前記マイクロクリスタルシリコン薄膜が前記低濃度領域にオーバーラップして形成されていることを特徴とする請求項2に記載のトップゲート型薄膜トランジスタ。

【請求項4】 前記マイクロクリスタルシリコン薄膜の膜厚が70nm以上であることを特徴とする請求項1乃至3のいずれか1項に記載のトップゲート型薄膜トランジスタ。

【請求項5】 絶縁性基板上にポリシリコン薄膜を形成する工程と、このポリシリコン薄膜上にゲート絶縁膜を形成する工程と、このゲート絶縁膜上に下層ゲート電極となるマイクロクリスタルシリコン薄膜をプラズマCVD法により350℃以下の温度で形成する工程と、前記マイクロクリスタルシリコン薄膜上に上層ゲート電極となる金属薄膜をスパッタ法により形成する工程と、前記金属薄膜上にフォトレジストを選択的に形成する工程と、ドライエッチングにより前記フォトレジストをマスクとして前記上層金属薄膜及び前記下層マイクロクリスタルシリコン薄膜をエッチングして2層構造のゲート電極を形成する工程と、前記ゲート絶縁膜を介して前記ポリシリコン薄膜に不純物を導入する工程と、を有することを特徴とするトップゲート型薄膜トランジスタの製造方法。

【請求項6】 前記上層金属薄膜及び前記下層マイクロクリスタルシリコン薄膜をエッチングして側面がサイドエッチングされた2層構造のゲート電極を形成する工程を有することを特徴とする請求項5に記載のトップゲート型薄膜トランジスタの製造方法。

【請求項7】 前記ゲート電極の前記上層金属薄膜の側面のみをサイドエッチングすることを特徴とする請求項5に記載のトップゲート型薄膜トランジスタの製造方法。

【請求項8】 前記ゲート電極を形成する工程は、前記マイクロクリスタルシリコン薄膜を Cl_2 と SF_6 と H_2 との混合ガス中でエッチングする工程を有することを特徴とする請求項5乃至7のいずれか1項に記載のトップゲート型薄膜トランジスタの製造方法。

【請求項9】 前記ゲート電極を形成する工程は、前記

上層金属薄膜のエッチング工程と、前記マイクロクリスタルシリコン薄膜のエッチング工程と、を同一チャンバ内で連続的に行うものであることを特徴とする請求項8に記載のトップゲート型薄膜トランジスタの製造方法。

【請求項10】 前記マイクロクリスタルシリコン薄膜の成膜工程と、前記金属薄膜の成膜工程と、を基板を大気に曝すことなく連続的に行うことを特徴とする請求項5乃至7のいずれか1項に記載のトップゲート型薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はトップゲート型薄膜トランジスタ及びその製造方法に関し、特に液晶ディスプレイ及び密着型イメージセンサ等の絶縁性基板上に形成されるトップゲート型薄膜トランジスタ及びその製造方法に関する。

【0002】

【従来の技術】液晶表示装置(LCD)においては、アモルファスシリコン薄膜トランジスタ(TFT)-LCDが主流となっている。しかし、アモルファスシリコンTFTでは、LCDを大画面で高精細に実現することが困難であるため、より高移動度のポリシリコン薄膜を活性層とするTFTが注目されている。

【0003】一方で、LCDにおける用途の多用化により、薄型化・小型化に対する要求も強く、その要求に答えるため、アクティブマトリクス基板上に駆動回路も同様にTFTで形成してしまおうとする試みがなされている。しかし、この駆動回路用のTFTをアモルファスシリコン薄膜を用いて形成することは、動作速度及び駆動能力の点で好ましくなく、ポリシリコン薄膜で形成することが求められる。ポリシリコン薄膜の作製方法としては、プロセス温度低温化、スループット向上及び低コスト化の観点から、安価な低温ガラス基板上にポリシリコン薄膜を形成可能なレーザアニール法が主流となりつつある。

【0004】しかしながら、一般のポリシリコンTFTではゲート配線の信頼性が低く、かつ低抵抗化が困難で、LCDの高精細化が困難であるという問題点がある。この問題を回避するために、例えば特開平5-235353号公報に開示されているように、ゲート配線をポリシリコン薄膜と金属薄膜の2層化配線とすることが考えられる。

【0005】図6はこのゲート配線を2層化したポリシリコンTFTの構造を示す断面図である。低温ガラス基板1上に下地酸化膜2が形成されており、この下地酸化膜2上にポリシリコン薄膜3が選択的に形成されており、その両側にソース・ドレイン領域7が形成されている。これらのポリシリコン薄膜3及びソース・ドレイン領域7を被覆するようにゲート絶縁膜4が形成されており、このゲート絶縁膜4及びその上層の層間絶縁膜9に

10

20

30

40

50

形成されたコンタクト孔を介してソース・ドレイン領域7に接触するように金属配線10が形成されている。更に、ゲート絶縁膜4上には、ポリシリコン薄膜3に整合する位置に下層のポリシリコン薄膜11及び上層の金属薄膜6からなる2層ゲート電極が形成されている。そして、これらの層は層間絶縁膜9に被覆されている。

【0006】しかしながら、このポリシリコン薄膜11を用いてゲート配線を2層化した従来の薄膜トランジスタでは、ゲート形成のプロセス温度は、成膜工程で600℃、リン拡散工程で850℃のように極めて高温に達するために、基板加熱及び冷却の時間が大きく、スループットが低下するという問題点がある。また、600℃以上の温度は、安価な低温ガラス基板の軟化点以上の温度である。このため、TFT基板には高価な石英基板を用いる必要があるために、製造コストが上昇する。

【0007】更に、ポリシリコンTFTの重大な問題点の一つとして、リーク電流が大きいことが挙げられる。この問題を回避するため、例えば、特開昭58-204570号公報、特開平1-125866号公報、特開平5-152326号公報、特開平7-106582号公報等に開示されているように、TFTのドレイン端に低濃度不純物領域を有する所謂LDD(Lightly Doped Drain)構造、又は、例えば、特開平6-37314号公報、特開平7-202210号公報等に開示されているように、オーバーラップLDD構造を採用することが考えられる。

【0008】図7はこれらのLDD-TFT構造を示す。ポリシリコン薄膜3とソース・ドレイン領域7との間に低濃度のLDD領域8が形成されており、LDD領域8及びポリシリコン薄膜3の上にゲート絶縁膜4が形成されており、このゲート絶縁膜4上の選択領域に金属ゲート電極6が形成されている。

【0009】図8は従来の他のLDD-TFT構造を示す。このLDD-TFTにおいては、ソース・ドレイン領域7、LDD領域8及びポリシリコン薄膜3を覆うようにゲート絶縁膜4が形成されており、ゲート絶縁膜4上のLDD領域8及びポリシリコン薄膜3の直上の領域に下層のポリシリコン薄膜11からなるゲート電極が形成されており、その上に、下層より幅が狭い上層のポリシリコン薄膜11からなるゲート電極が形成されている。

【0010】

【発明が解決しようとする課題】しかしながら、従来のオーバーラップLDD構造を含むLDD-TFTでは工程数が増加して、スループットが低下するという問題がある。例えば、特開昭58-204570号公報及び特開平7-106582号公報では、不純物導入工程が2回必要であり、例えば、特開平6-37314号公報では、成膜からフォトリソ工程を経てエッチングまでのゲート電極形成工程が2回必要であり、例えば、特開

平7-202219号公報では上部ゲート電極の陽極酸化工程及び陽極酸化部の除去工程が必要である。

【0011】また、これらのLDD-TFTでは、前述したゲート配線の信頼性向上と低抵抗化が困難である。例えば、特開昭58-204570号公報、特開平1-125866号公報及び特開平6-37314号公報では、ゲート電極に、高抵抗であると共に高温プロセスで形成されるポリシリコン薄膜のみを用いており、例えば、特開平5-152326号公報及び特開平7-202210号公報では、ゲート電極に信頼性が低い金属薄膜のみを使用している(図7)。

【0012】LDDを含めた不純物注入工程後に、活性化工程を行う必要があるが、この活性化工程のプロセス温度もまたポリシリコンTFTの問題点の一つである。例えば、特開平1-125866号公報及び特開平5-235353号公報では、活性化プロセス温度は1000℃であり、これでは安価な低温ガラス基板を使用することができない。低温活性化法として、例えば特開平5-152326号公報ではレーザアニール法を使用しているが、レーザアニール法は熱処理法と比較してコストが高い。また、レーザアニール法は過度の熱衝撃が発生するため、膜が剥がれたり、割れたりして、ゲート電極の信頼性が低下するという問題点がある。

【0013】本発明はかかる問題点に鑑みてなされたものであって、ゲート電極の信頼性を向上させることができると共に低抵抗化することができ、更にリーク電流を低減でき、薄膜トランジスタ製造工程の高スループット化及び低コスト化を、同時に満足することができるトップゲート型薄膜トランジスタ及びその製造方法を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明に係るトップゲート型薄膜トランジスタは、絶縁性基板と、この絶縁性基板上に形成されチャネル領域及びソース・ドレイン領域を構成するポリシリコン薄膜と、このポリシリコン薄膜上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成され上層金属薄膜及び下層マイクロクリスタルシリコン薄膜の2層構造からなるゲート電極と、を有することを特徴とする。

【0015】このトップゲート型薄膜トランジスタにおいて、前記ソース・ドレイン領域が低濃度領域及び高濃度領域からなるLDD構造を有するように構成することができる。また、この場合に、前記マイクロクリスタルシリコン薄膜が前記低濃度領域にオーバーラップして形成されるようにすることができる。更に、前記マイクロクリスタルシリコン薄膜の膜厚は70nm以上であることが好ましい。

【0016】本発明に係るトップゲート型薄膜トランジスタの製造方法は、絶縁性基板上にポリシリコン薄膜を形成する工程と、このポリシリコン薄膜上にゲート絶縁

膜を形成する工程と、このゲート絶縁膜上に下層ゲート電極となるマイクロクリスタルシリコン薄膜をプラズマCVD法により350℃以下の温度で形成する工程と、前記マイクロクリスタルシリコン薄膜上に上層ゲート電極となる金属薄膜をスパッタ法により形成する工程と、前記金属薄膜上にフォトレジストを選択的に形成する工程と、ドライエッチングにより前記フォトレジストをマスクとして前記上層金属薄膜及び前記下層マイクロクリスタルシリコン薄膜をエッチングして2層構造のゲート電極を形成する工程と、前記ゲート絶縁膜を介して前記

ポリシリコン薄膜に不純物を導入する工程と、を有することを特徴とする。

【0017】このトップゲート型薄膜トランジスタの製造方法において、前記上層金属薄膜及び前記下層マイクロクリスタルシリコン薄膜をエッチングして側面がサイドエッチングされた2層構造のゲート電極を形成する工程を設けても良い。

【0018】また、前記ゲート電極の前記上層金属薄膜のみ側面をサイドエッチングしてもよい。そして、前記ゲート電極を形成する工程は、前記マイクロクリスタルシリコン薄膜を Cl_2 と SF_6 と H_2 との混合ガス中でエッチングする工程を有することができ、また、前記上層金属薄膜のエッチング工程と、前記マイクロクリスタルシリコン薄膜のエッチング工程と、を同一チャンバ内で連続的に行うものであることが好ましい。更に、前記マイクロクリスタルシリコン薄膜の成膜工程と、前記金属薄膜の成膜工程と、を基板を大気に曝すことなく連続的に行うことができる。

【0019】本発明においては、マイクロクリスタルシリコン薄膜を2層化ゲート電極の下層に適用することにより、低コストで、高信頼性を有する低抵抗ゲート配線が形成される。マイクロクリスタルシリコン薄膜とは、ジャーナル・オブ・ノン・クリスタライン・ソリッドズ、第59&60巻、第767頁(J. Non-Cryst. Solids, Vol. 59&60, p. 767.)に開示されているように、プラズマCVD法によって形成されたシリコン薄膜であり、粒径が10nm以下の極めて微細な結晶粒とアモルファスとが混在したシリコン薄膜のことである。このマイクロクリスタルシリコン薄膜の成膜温度は300℃程度であるために、従来のポリシリコン薄膜の成膜に使用されている減圧CVD法及び常圧CVD法の成膜温度が600℃程度であることと比較して、成膜工程のスループット及び製造コストは極めて優れている。また、マイクロクリスタルシリコン薄膜には、微細な結晶粒が存在するために、ポリシリコン薄膜と同程度の低抵抗化が可能である。従って、TFTのゲート電極として、下層にマイクロクリスタルシリコン薄膜を、上層に金属薄膜を用いることにより、低コストで、高信頼性を有する低抵抗ゲート配線を形成することができる。

【0020】また、本発明では、2層ゲート電極形成の

際に上層金属ゲート電極のみをサイドエッチングすることにより、ゲート絶縁膜を介した1回の不純物導入工程で、低温活性化が可能なオーバーラップLDD構造が形成される。

【0021】下層ゲート電極が露出した部位では、下層ゲート電極及びゲート絶縁膜を介してポリシリコン薄膜に不純物が導入される。一方、ゲート電極が存在しない部位では、ゲート絶縁膜のみを介してポリシリコン薄膜に不純物が導入される。従って、ポリシリコン薄膜の下層ゲート電極が露出した部位の直下にあたる領域は、ゲート電極が存在しない部位の直下にあたる領域よりも、不純物導入量が少ないLDD領域となる。なお、ポリシリコン薄膜の上層ゲート絶縁膜が存在する部位の直下に当たる領域では、上層ゲート電極の遮蔽効果のために、不純物は導入されない。

【0022】不純物導入後の活性化温度は、不純物導入に伴うポリシリコン薄膜の組織変化に依存する。不純物が導入されるとポリシリコン薄膜は、原子構造に乱れが生じるために、アモルファス相へと変化する。不純物導入後の活性化とは、この不純物を含んだアモルファス相を再び結晶化させることである。ここで、ポリシリコン薄膜が絶縁膜界面から基板界面まで膜厚方向の全ての領域でアモルファス化した場合、結晶化に際しては、600℃以上の、望ましくは1000℃程度の熱処理温度が必要となる。アモルファス相が結晶化するには、核発生及び粒成長の両過程を経なければならないが、核発生には熱処理温度に依存した潜伏時間が必要である。シリコンの場合、製造プロセスに適した数時間程度の時間範囲に核発生を起こさせるためには、1000℃の温度が必要である。また、熱処理温度を600℃まで下げた場合、核発生に必要な時間は20時間まで増大し、スループットは著しく増大する。

【0023】ところが、不純物導入後に、ポリシリコン膜の表面のみがアモルファス化し、基板界面近傍にポリシリコンが残存した場合では、500℃程度の低温で、数時間程度の熱処理により活性化が可能となる。これは既に結晶核が存在していることにより、粒成長過程のみで結晶化が進行するためである。本発明では、絶縁膜を介して不純物を導入することにより、ポリシリコン膜の膜厚方向における不純物濃度プロファイルを制御し、不純物導入後にポリシリコンが残存するように容易に制御することができる。従って、安価な低温ガラス基板を用いることができる程度の低温活性化が可能であり、スループットも高くなる。

【0024】以上述べたように、本発明により2層ゲート電極形成の際に上層金属ゲート電極のみをサイドエッチすることにより、ゲート絶縁膜を介した1回の不純物導入工程で、低温活性化が可能な、低抵抗、高信頼性ゲート電極を有するオーバーラップLDD-TFTが形成される。

【0025】

【発明の実施の形態】次に、本発明の実施例について添付の図面を参照して具体的に説明する。図1は本発明の第1実施例に係るトップゲート型薄膜トランジスタを示す断面図である。このトランジスタは以下のようにして製造することができる。先ず、絶縁基板1上に下地絶縁膜2を堆積する。次に、全面にシリコン薄膜を堆積し、CWレーザ光又はパルスレーザ光を使用したレーザアニール法によりポリシリコン薄膜3を形成し、アイランド状にパターンニングした後、その上にゲート絶縁膜4を堆積する。次に、下層ゲート電極としてプラズマCVD法により350℃以下の温度でマイクロクリスタルシリコン薄膜5を膜厚が70nm以上となるよう堆積した後、上層ゲート電極として金属薄膜6を続けて堆積し、これらをパターンニングして2層ゲート電極を形成する。

【0026】イオンドーピング法等によりゲート絶縁膜4を介して、ポリシリコン薄膜3に選択的に不純物を導入してソース・ドレイン領域7を形成し、例えば500℃で熱処理することにより、不純物を活性化させる。続いて、層間絶縁膜9を堆積し、ソース・ドレイン領域上を露出させるコンタクトホールを開口する。最後に、アルミニウム等の金属薄膜を形成し、これをパターンニングしてソース・ドレイン領域と接触する金属配線10を形成し、薄膜トランジスタの形成工程を完了する。

【0027】このようにして、ポリシリコン薄膜3からなるチャネル領域と、その両側のソース・ドレイン領域7と、これらの領域との間にゲート絶縁膜4を介して積層された2層構造のゲート電極とを有するトップゲート型薄膜トランジスタが得られる。この2層構造のゲート電極は、下層のマイクロクリスタルシリコン薄膜5と上層の金属薄膜6とからなるものである。マイクロクリスタルシリコン薄膜5は成膜温度が低いので、従来のポリシリコン薄膜と比較して成膜工程のスループットが良く、製造コストが低減される。また、マイクロクリスタルシリコン薄膜5は微細な結晶粒を有するため、ポリシリコン薄膜と同程度の低抵抗化が可能である。このため、低コストで、高信頼性の低抵抗ゲート配線を形成することができる。

【0028】次に、図2を参照して、本発明の第2実施例について説明する。本実施例においては、その製造工程が、マイクロクリスタルシリコン薄膜5と、金属薄膜6の堆積工程までは第1実施例と同様である。本実施例においては、パターンニングにより2層ゲート電極を形成する際、2層ともオーバーエッチングを行うことにより、ゲート電極をサイドエッチングする。そして、ゲート電極上にレジストを保持したまま、イオンドーピング法等によりゲート絶縁膜4を通過させてポリシリコン薄膜3に選択的に不純物を導入してソース・ドレイン領域7を形成する。

【0029】次に、前記レジストを除去した後に、低濃

度の不純物を導入し、LDD領域（低濃度領域）8を形成する。その後、不純物活性化以降の工程は、第1実施例と同様であり、これらの工程により、薄膜トランジスタが完成する。

【0030】本実施例においては、第1実施例と同様の効果を奏するのに加え、ソース・ドレイン領域がLDD領域（低濃度領域）8を有し、これにより、LDD構造の薄膜トランジスタが得られる。

【0031】図3は本発明の第3実施例に係るトップゲート型薄膜トランジスタを示す断面図である。マイクロクリスタルシリコン薄膜5と、金属薄膜6の堆積までの工程は第1実施例と同様である。そして、本実施例においては、パターンニングにより2層ゲート電極を形成する際、金属薄膜6のみをオーバーエッチングすることにより、上層金属薄膜6と下層マイクロクリスタルシリコン薄膜5とで幅が異なる2層ゲート電極が形成される。

【0032】そして、ゲート電極上のレジストを除去した後に、イオンドーピング法等によりゲート絶縁膜4を挿通して、ポリシリコン薄膜3に選択的に不純物を導入すると、下層ゲート電極のマイクロクリスタルシリコン薄膜5を通過したものは低濃度化し、低濃度のLDD領域8を形成し、下層マイクロクリスタルシリコン薄膜5から外れる領域を通過したものは高濃度のソース・ドレイン領域7を形成する。このようにして、本実施例では、ソース・ドレイン領域7とLDD領域8を同時に形成できる。不純物活性化以降の工程は第1実施例と同様にして、薄膜トランジスタの形成工程を完了する。本実施例においては、第1及び第2実施例と同様の効果を奏するのに加え、ゲート絶縁膜4及び下層マイクロクリスタルシリコン薄膜5を介して1回の不純物導入工程で低温活性化が可能なオーバーラップLDD構造を形成することができる。

【0033】

【実施例】次に、本実施例方法により、実際にトップゲート型薄膜トランジスタを製造し、その特性を評価した結果について説明する。先ず、第1実施例の構造の薄膜トランジスタを製造した結果について説明する。低温ガラス基板としては日本電気硝子社製0A-2基板を用いた。プラズマCVD法により SiH_4 及び N_2O を原料ガスとして、下地絶縁膜としての二酸化シリコン薄膜を100nmの厚さに堆積した。

【0034】次に、減圧CVD法により Si_2H_6 を原料ガスとして、アモルファスシリコン薄膜を75nm堆積した。堆積条件としては、 Si_2H_6 の流速150sccm、圧力8Pa、基板温度450℃の条件で70分間堆積を行った。このアモルファスシリコン薄膜に、波長308nmのXeClエキシマレーザ光を照射するレーザアニール法を用いることにより、ポリシリコン薄膜を形成した。レーザ照射条件としては、エネルギー密度420mJ/cm²、ビーム重ね率90%の条件で、ビーム

をスキャン照射した。ポリシリコン薄膜は通常のフォトレジスト工程によるパターンニング後に、ドライエッチング法によりアイランド化した。

【0035】次に、アイランド化されたポリシリコン薄膜上に、減圧CVD法により SiH_4 及び O_2 を原料ガスとして、ゲート絶縁膜となる二酸化シリコン薄膜を40nm堆積した。堆積条件としては SiH_4 の流速が35sccm、 O_2 流速140sccm、圧力30Pa、基板温度400℃の条件で20分間堆積を行った。

【0036】次に、プラズマCVD法により SiH_4 と PH_3 (H_2 希釈0.5%)と H_2 を原料ガスとして、下層ゲート電極となるマイクロクリスタルシリコン薄膜を70nm堆積した。堆積条件としては、 SiH_4 流量20sccm、 PH_3 流量40sccm、 H_2 流量1000sccm、圧力50Pa、放電電力密度0.13W/cm²、基板温度350℃の条件で19分間堆積した。

【0037】マイクロクリスタルシリコン薄膜の抵抗率は図4に示すように、膜厚に大きく依存する。これは、膜厚が厚くなるほど、マイクロクリスタルシリコン中の結晶成分の成長が進むためである。下層ゲート電極への適用を考慮した場合、膜の抵抗率は1Ωcm以下が望まれる。従って、マイクロクリスタルシリコン薄膜の膜厚としては70nm以上が必要である。また、基板温度が高い方が結晶成分の成長が促進されるため、基板温度は高いことが望まれるが、過度の温度はスループット低下と、装置コスト及びプロセスコストの増大をもたらす。従って基板温度としては、通常のプラズマCVD装置で実現可能な350℃程度までが適当である。

【0038】次に、スパッタリング法により、上層ゲート電極となるタングステンシリサイド薄膜を100nm堆積した。スパッタリングガスにはArを使用しており、堆積条件としては、Ar流速100sccm、圧力0.3Pa、2W/cm²、基板温度150℃の条件で0.3分間堆積した。このとき膜の抵抗率としては、 $5 \times 10^{-5} \Omega \text{cm}$ の値であった。

【0039】マイクロクリスタル薄膜とタングステンシリサイド薄膜は、スループットの点とマイクロクリスタルシリコン薄膜表面の自然酸化膜発生を抑制するため、同一の真空装置で異なるチャンバを用いて連続的に堆積した。各薄膜を異なる真空装置で成膜するとき、マイクロクリスタルシリコン薄膜表面に自然酸化膜が発生し、2層ゲート電極全体としての抵抗率は増大し、結果としてTFT特性は約4%低下した。

【0040】次に、通常のフォトレジスト法で、ゲート電極のパターンニングを行った。次にドライエッチング法で CF_4 と O_2 より、タングステンシリサイド薄膜をドライエッチした。エッチング条件としては、 CF_4 流速40sccm、 O_2 流速10sccm、圧力6Pa、放電電力密度0.3W/cm²の条件で1.5分間エッチングした。タングステンシリサイド薄膜のエッチング終了後に、エッチ

ングチャンバを一旦 10^{-4}Pa まで真空引きし、続いて Cl_2 と SF_6 と H_2 を導入して、マイクロクリスタルシリコン薄膜のドライエッチングを行った。エッチング条件としては Cl_2 流速40sccm、 SF_6 流速10sccm、 H_2 流量10sccm、圧力10Pa、放電電力密度0.35W/cm²の条件で6分間エッチングした。

【0041】タングステンシリサイド薄膜のエッチングガスには、高エッチングレートが得られる CF_4 と O_2 を使用した。マイクロクリスタル薄膜のドライエッチングガスにはマイクロクリスタルシリコン薄膜と二酸化シリコン薄膜との間で高い選択比を有することが条件となるが、 Cl_2 と SF_6 と H_2 を使用することにより、残渣タングステンシリコンの除去能力に優れ、かつマイクロクリスタルシリコン薄膜と二酸化シリコン薄膜との間で20以上の高選択比が得られた。また、タングステンシリサイド薄膜とマイクロクリスタルシリコン薄膜を同一真空装置内でドライエッチすることはスループット上有利である。

【0042】ゲート電極上のレジストを除去した後に、イオンドーピング法で PH_3 (H_2 希釈5%)により、ゲート電極をマスクとした自己整合型の不純物導入を行った。ドーピング条件としては加速電圧50keV、ドーズ量 $3 \times 10^{15} \text{cm}^{-2}$ 、圧力0.02Paの条件であった。

【0043】図5にドーピングの結果得られたシリコン中のP濃度プロファイルを示す。シリコン薄膜のアモルファス化を引き起こすP濃度は $3 \times 10^{19} \text{cm}^{-3}$ 以上であることが実験の結果明らかとなった。従って、40nmの絶縁膜を介して75nmのポリシリコン薄膜にドーピングを行った場合、膜厚の半分程度はポリシリコンが残存し、不純物活性化温度は低温で済む。実際、熱処理温度500℃、熱処理時間2時間の条件で活性化が果たされた。このときの不純物導入部の抵抗率は $2 \times 10^{-3} \Omega \text{cm}$ であった。また、活性化工程後の基板には2ppmの歪みが認められたが、後のTFT製造工程には支障がなかった。

【0044】一方、絶縁膜を介さずに直接ドーピングした場合、ポリシリコン薄膜は膜厚のほぼ全域にわたりアモルファス化する。このとき熱処理温度500℃では、50時間の熱処理時間でも活性化は果たされず、熱処理温度600℃、熱処理時間20時間で初めて活性化が果たされた。また、活性化工程後の基板には40ppmもの歪みが発生し、その後のTFT製造工程において、特にフォトレジスト工程のレチクル目合わせ、及び成膜工程の基板搬送において、支障があった。その結果、スループット及び歩留まりは低下した。

【0045】次に、プラズマCVD法で SiH_4 と NH_3 と N_2 より、窒化シリコン膜を300nm堆積した。ドライエッチング法によりコンタクトホールを開けた後、スパッタ法でアルミニウム膜を400nm堆積し、パターンニングして金属配線とした。最後に水素アニールを行い、TFTが完成した。

【0046】このようににして完成したTFTは従来のTFTよりプロセス温度が低く、高スループット及び低コストで作製され、ゲート電極の信頼性が高い。

【0047】次に、本発明の第2実施例の薄膜トランジスタを製造した結果について説明する。低温ガラス基板としてはコーニング社製1737基板を用いた。次に、プラズマCVD法で SiH_4 と N_2O により、下地絶縁膜としての二酸化シリコン薄膜を100nm堆積した。

【0048】次に、プラズマCVD法で SiH_4 と H_2 によりアモルファスシリコン薄膜を75nm堆積した。堆積条件としては、 SiH_4 流速150sccm、 H_2 流速400sccm、圧力100Pa、放電電力0.1W/cm²、基板温度320℃の条件で8分間堆積を行った。このアモルファスシリコン薄膜に、熱処理温度400℃で熱処理時間2時間の脱水素アニールを施した後に、波長248nmのKrFエキシマレーザ光を照射するレーザアニール法により、ポリシリコン薄膜を形成した。レーザ照射条件としては、エネルギー密度380mJ/cm²、ビーム重ね率90%の条件で、ビームをスキャン照射した。ポリシリコン薄膜は通常のフォトリソ工程によるパターンニング後に、ドライエッチング法によりアイランド化された。

【0049】次に、アイランド化されたポリシリコン膜上に、ECR-プラズマCVD法で SiH_4 と O_2 より、ゲート絶縁膜となる二酸化シリコン薄膜を40nm堆積した。堆積条件としては、 SiH_4 流速10sccm、 O_2 流速200sccm、圧力100Pa、放電電力密度0.23W/cm²、基板温度270℃の条件で4分間堆積を行った。

【0050】次に、プラズマCVD法により、 SiH_4 と PH_3 (H_2 希釈0.5%)と H_2 を原料ガスとして、下層ゲート電極となるマイクロクリスタルシリコン薄膜を70nm堆積した。堆積条件としては、 SiH_4 流量10sccm、 PH_3 流量40sccm、 H_2 流量1000sccm、圧力100Pa、放電電力密度0.5W/cm²、基板温度300℃の条件で23分間堆積した。続いて第1の実施例と同様にスパッタ法で上層ゲート電極となるタングステンシリサイド薄膜を100nm堆積した。

【0051】第1の実施例と同様にゲート電極をパターンニングとドライエッチングにより形成するが、このときエッチング時間を通常の条件から長くして、1μmのサイドエッチ領域を作製する。エッチング時間は上層及び下層で、夫々2分及び9分とした。

【0052】次に、ゲート電極上にレジストを保持したまま、第1実施例と同様にイオンドーピング法で不純物を導入した。次に、ゲート電極上のレジストを除去し、イオンドーピング法により、 PH_3 (H_2 希釈0.1%)と H_2 を原料ガスとして、サイドエッチ領域に低濃度の不純物を導入し、LDD領域を形成した。ドーピング条件としては加速電圧40keV、ドーズ量 $7 \times 10^{12} \text{cm}^{-2}$ 、圧力0.02Paの条件であった。LDD領域を有することにより、結果として得られたTFTのリーク電流は約1/50に

低減された。

【0053】活性化工程以降は第1の実施例と同様の工程で、LDD-TFTが完成した。このように完成したLDD-TFTは従来のLDD-TFTよりプロセス温度が低く、高スループット及び低コストで作製され、ゲート電極の信頼性が高い。

【0054】次に、本発明の第3実施例方法により薄膜トランジスタを製造した結果について説明する。第1実施例と同様に、ガラス基板上にポリシリコン薄膜を形成してアイランド化し、ゲート絶縁膜、マイクロクリスタルシリコン薄膜及びタングステンシリサイド薄膜を堆積した。

【0055】第1実施例と同様に、ゲート電極をパターンニング及びドライエッチング法によって形成するが、このときのエッチング時間を、上層で2分間、下層で6分間とした。この結果、上層は下層よりも左右で1μmづつ幅が狭くなった。

【0056】次に、第1実施例と同様に、イオンドーピング法により不純物を導入した。ゲート電極が存在しない部位では、ゲート絶縁膜のみを介してポリシリコン薄膜に不純物が導入され、そのドーズ量は第1の実施例と同様に $3 \times 10^{15} \text{cm}^{-2}$ であった。一方、上層ゲート電極がサイドエッチされて下層ゲート電極が露出した部位の、直下に当たるポリシリコン領域では、ドーズ量は $2 \times 10^{12} \text{cm}^{-2}$ であった。

【0057】図5に示すように、膜厚70nmの下層ゲート電極の影響により、P濃度は約3桁の低下を示した。LDD領域を有することにより、結果として得られたTFTのリーク電流は約1/20に低減された。

【0058】活性化工程以降は第1の実施例と同様であり、これによりLDD-TFTが完成した。このように完成したLDD-TFTは従来のLDD-TFTよりプロセス温度が低く、不純物導入回数が少なく、高スループット及び低コストで作製され、ゲート電極の信頼性が高いものであった。

【0059】なお、本発明は上記実施例に限定されないことは勿論である。例えば、上記実施例では、レーザアニールを施す初期材料としてアモルファスシリコンを使用しているが、初期材料として他にポリシリコン又はマイクロクリスタルシリコン等の他のシリコン膜を使用しても同様の効果が得られた。また、ゲート絶縁膜として酸化シリコン膜に代えて、窒化シリコン膜及び酸窒化シリコン膜等の他の絶縁膜を使用しても同様の効果が得られた。また、上層ゲート電極としてタングステンシリサイドに代え、アルミニウム、クロム、モリブデン、モリブデンシリサイド又はタングステンモリブデン合金等の他の金属を使用しても同様の効果が得られた。

【0060】

【発明の効果】以上説明したように、本発明に係るトップゲート型薄膜トランジスタではゲート電極にマイクロ

クリスタルシリコン薄膜と金属薄膜とからなる2層ゲート電極を使用することにより、低抵抗で、高信頼性のゲート電極を有するTFTを、高スループット及び低コストで製造することができる。また、上層ゲート電極のみをサイドエッチすることにより、低抵抗及び高信頼性のゲート電極を有するLDD-TFTを低コストで製造することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る薄膜トランジスタの構造を示す断面図である。

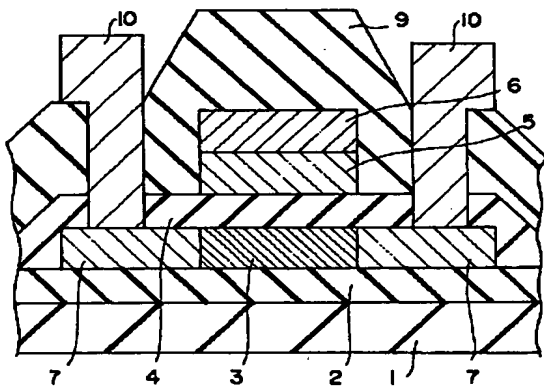
【図2】本発明の第2の実施例に係る薄膜トランジスタの構造を示す断面図である。

【図3】本発明の第3の実施例に係る薄膜トランジスタの構造を示す断面図である。

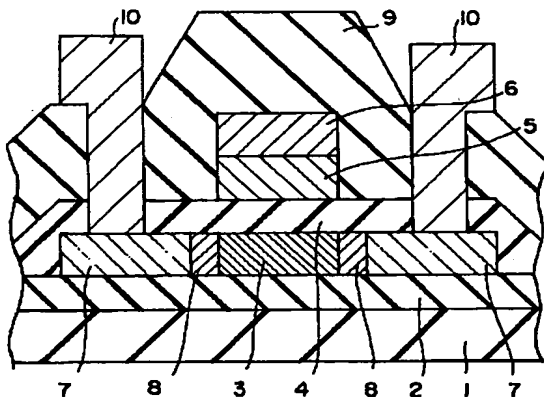
【図4】マイクロクリスタルシリコン薄膜の膜厚と抵抗率の関係を示すグラフ図である。

【図5】シリコン中のP濃度プロファイルを示すグラフ

【図1】



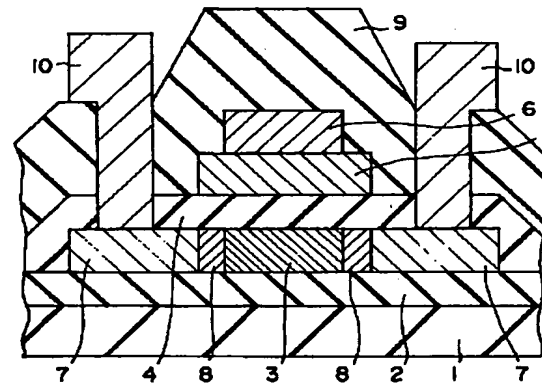
【図2】



10

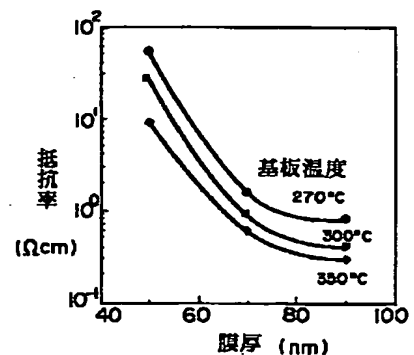
- | | |
|--------------------|--------------------|
| 3: ポリシリコン薄膜 | 3: ポリシリコン薄膜 |
| 4: ゲート絶縁膜 | 4: ゲート絶縁膜 |
| 5: マイクロクリスタルシリコン薄膜 | 5: マイクロクリスタルシリコン薄膜 |
| 6: 金属薄膜 | 6: 金属薄膜 |
| 7: ソース・ドレイン領域 | 7: ソース・ドレイン領域 |
| | 8: LDD領域 |

【図3】



【図4】

- | |
|--------------------|
| 3: ポリシリコン薄膜 |
| 4: ゲート絶縁膜 |
| 5: マイクロクリスタルシリコン薄膜 |
| 6: 金属薄膜 |
| 7: ソース・ドレイン領域 |
| 8: LDD領域 |



図である。

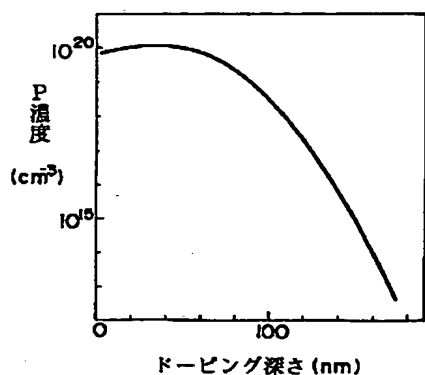
【図6】従来の薄膜トランジスタの構造を示す断面図である。

【図7】従来のLDD薄膜トランジスタの構造を示す断面図である。

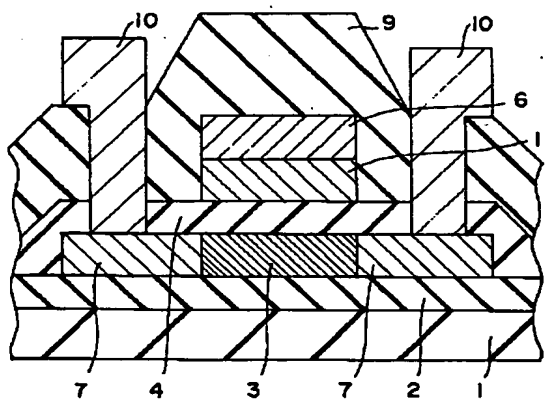
【符号の説明】

- | |
|-----------------------|
| 1: 低温ガラス基板 |
| 2: 下地酸化膜 |
| 3: ポリシリコン薄膜 |
| 4: ゲート絶縁膜 |
| 5: マイクロクリスタルシリコンゲート電極 |
| 6: 金属ゲート電極 |
| 7: ソース・ドレイン領域 |
| 8: LDD領域 |
| 9: 層間絶縁膜 |
| 10: 金属配線 |
| 11: ポリシリコンゲート電極 |

【図5】

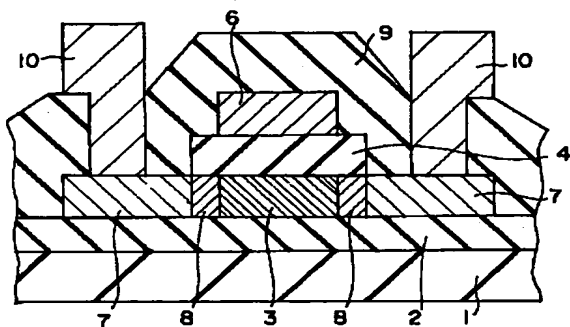


【図6】



3: ポリシリコン薄膜
4: ゲート絶縁膜
6: 金属薄膜
7: ソース・ドレイン領域
11: ポリシリコン薄膜

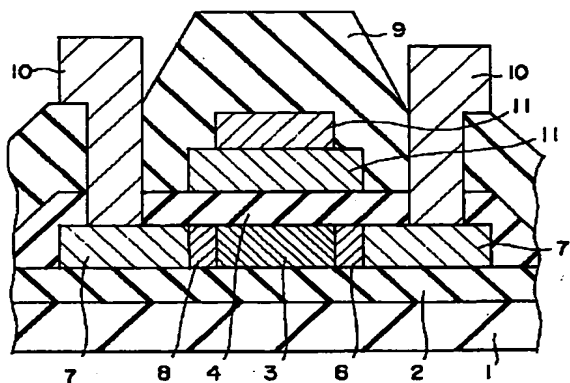
【図7】



6: 金属薄膜
8: LDD領域
11: ポリシリコン薄膜

6: 金属薄膜
8: LDD領域
11: ポリシリコン薄膜

【図8】



【手続補正書】

【提出日】平成10年6月23日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る薄膜トランジスタの構造を示す断面図である。

【図2】本発明の第2の実施例に係る薄膜トランジスタの構造を示す断面図である。

【図3】本発明の第3の実施例に係る薄膜トランジスタの構造を示す断面図である。

【図4】マイクロクリスタルシリコン薄膜の膜厚と抵抗

率の関係を示すグラフ図である。

【図 5】シリコン中の P 濃度プロファイルを示すグラフ図である。

【図 6】従来の薄膜トランジスタの構造を示す断面図である。

【図 7】従来の LDD 薄膜トランジスタの構造を示す断面図である。

【図 8】従来の他の LDD-TFT 構造を示す断面図である。

【符号の説明】

1 : 低温ガラス基板

2 : 下地酸化膜

3 : ポリシリコン薄膜

4 : ゲート絶縁膜

5 : マイクロクリスタルシリコンゲート電極

6 : 金属ゲート電極

7 : ソース・ドレイン領域

8 : LDD 領域

9 : 層間絶縁膜

10 : 金属配線

11 : ポリシリコンゲート電極